

0480

OFGS File No: P/1071-1504

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

New York, New York

NAKATA, Hidefumi

Date: December 5, 2001

Serial No.: 09/989,962

Date Filed: November 21, 2001

For: MIM CAPACITOR AND MANUFACTURING METHOD

#4 priority
paper
10-7-02
Rothko

Assistant Commissioner for Patents
Washington, D.C. 20231

In accordance with 35 U.S.C. Sec. 119, applicant(s) confirm(s) the request for priority under the International Convention and submits herewith the following documents in support of the claim:

Certified Copy of Japanese Application:
2000-375939 filed on December 11, 2000

Respectfully submitted,

Martin Pfeffer

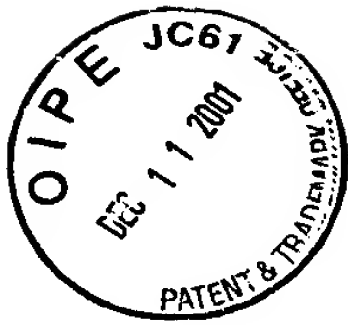
Registration No.: 20,808

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月11日

出 願 番 号

Application Number:

特願2000-375939

出 願 人

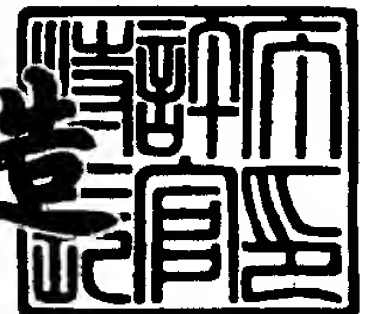
Applicant(s):

株式会社村田製作所

2001年11月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3098406

【書類名】 特許願

【整理番号】 30-0547

【提出日】 平成12年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
 製作所内

 【氏名】 中田 英文

【特許出願人】

 【識別番号】 000006231

 【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

 【氏名又は名称】 株式会社村田製作所

 【代表者】 村田 泰隆

 【電話番号】 075-955-6731

【手数料の表示】

 【予納台帳番号】 005304

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M I M キャパシタおよびその製造方法

【特許請求の範囲】

【請求項 1】 下側電極と上側電極との間に誘電体層を挟んだ構造の M I M キャパシタにおいて、前記下側電極は複数の金属層を積み重ねて形成し、前記下側電極の最上層の金属層の表面または全体が酸化されて絶縁化した酸化金属層となっていることを特徴とする M I M キャパシタ。

【請求項 2】 前記下側電極の最上層の金属層が酸化によって絶縁化する遷移金属または合金であることを特徴とする請求項 1 に記載の M I M キャパシタ。

【請求項 3】 前記下側電極の最上層の金属層がチタンであることを特徴とする請求項 1 または請求項 2 に記載の M I M キャパシタ。

【請求項 4】 前記誘電体層が窒化シリコンで形成されたことを特徴とする請求項 1 ないし請求項 3 に記載の M I M キャパシタ。

【請求項 5】 前記誘電体層である窒化シリコンの表面を酸化することで、窒化シリコンの表面に酸化窒化シリコン層を形成することを特徴とする請求項 4 に記載の M I M キャパシタ。

【請求項 6】 前記下側電極の最上層の金属層を酸化する工程および前記誘電体層である窒化シリコンの表面を酸化する工程は、加熱温度を 2 0 0 °C から 4 0 0 °C の範囲で行なうことを特徴とする請求項 1 ないし請求項 5 に記載の M I M キャパシタの製造方法。

【請求項 7】 前記下側電極の最上層の金属層を酸化する工程および前記誘電体層である窒化シリコンの表面を酸化する工程は、酸素を含む雰囲気中で加熱することを特徴とする請求項 6 に記載の M I M キャパシタの製造方法。

【請求項 8】 前記下側電極の最上層の金属層を酸化する工程および前記誘電体層である窒化シリコンの表面を酸化する工程は、酸素プラズマまたはオゾンを含む雰囲気中で加熱することを特徴とする請求項 6 または請求項 7 に記載の M I M キャパシタの製造方法。

【請求項 9】 請求項 1 ないし請求項 5 に記載の M I M キャパシタまたは請求項 6 ないし請求項 8 に記載の M I M キャパシタの製造方法を用いて製造した M I

Mキャパシタを備えたマイクロ波モノリシック集積回路。

【発明の詳細な説明】

【発明の属する技術分野】

本発明は、半導体技術さらには化合物半導体を用いたマイクロ波モノリシック集積回路におけるMIMキャパシタの構造および製造方法に関する。

【従来の技術】 マイクロ波モノリシック集積回路（以下、MMICとする）では、バイパスコンデンサがパッケージの外側に接続されていると、ICチップとパッケージとの間を接続するワイヤの部分においてもノイズがのり、この僅かなノイズがICの特性を劣化させる。このため、従来から半導体基板上にバイパスコンデンサをMIMキャパシタで形成し、このバイパスコンデンサで、電源ノイズを吸収するMMICが実用化されている。

このようなMIMキャパシタを用いたMMICの一例として、特開平5-21710に、GaAs基板の上に、下側電極、酸化シリコン層、窒化シリコン層、酸化シリコン層、上側電極を順番に積層してMIMキャパシタを形成したMMICが開示されている。

【発明が解決しようとする課題】

しかしながら、このようなMIMキャパシタは、窒化シリコンの耐電力性を補うために、窒化シリコン層を酸化シリコン層で挟む構造を有しているが、酸化シリコンは窒化シリコンより誘電率が低いので、全体としての誘電率が低くなってしまいうという問題点があった。また、このようなMIMキャパシタをGaAs基板上に形成する場合には、400℃以上に加熱するとAsが遊離するため、GaAs基板の劣化を招いてしまう。また、CVD法を用いて400℃以下で酸化シリコン層と窒化シリコン層とを形成すると、酸化シリコン層を窒化シリコン層の1/2以下の厚みで薄くかつ平坦に形成することができなかった。このため、MIMキャパシタの誘電体層を窒化シリコン層のみで形成する場合に比較して、誘電体層を酸化シリコン層、窒化シリコン層、酸化シリコン層の3層構造にした場合には、誘電体層の厚みが2倍以上になっていた。したがって、大容量のバイパスコンデンサをMIMキャパシタで形成する場合に、MIMキャパシタの形状が大きくなり、MMICを小型化することが困難であった。

本発明のMIMキャパシタは、上述の問題を鑑みてなされたものであり、これらの問題を解決し、GaAs基板などの化合物半導体基板上に小型で容量の大きいMIMキャパシタを提供することを目的としている。

【課題を解決するための手段】

上記目的を達成するため本発明のMIMキャパシタは、下側電極と上側電極との間に誘電体層を挟んだ構造のMIMキャパシタにおいて、前記下側電極は複数の金属層を積み重ねて形成し、前記下側電極の最上層の金属層の表面または全体が酸化されて絶縁化した酸化金属層となっていることを特徴とする。

また、前記誘電体層である窒化シリコンの表面を酸化することで、窒化シリコンの表面に酸化窒化シリコン層を形成することを特徴とする。

また、前記下側電極の最上層の金属層を酸化する工程および前記誘電体層である窒化シリコンの表面を酸化する工程は、加熱温度を200℃から400℃の範囲で行なうことを特徴とするMIMキャパシタの製造方法とする。

これにより、MIMキャパシタの耐圧性を劣化させることなくMIMキャパシタの誘電体層を薄く形成することができるため、容量の大きなMIMキャパシタを小さく作ることができるので、MMICを小型化することができる。

【発明の実施の形態】

〔第1実施例、図1、図2〕

以下、本発明の第1実施例であるMIMキャパシタおよびその製造方法について、図1と図2に基づいて説明する。

本発明の第1実施例のMIMキャパシタは、図1に示すように、GaAs基板1の上に、窒化シリコン層2、下側電極3、酸化金属層4、誘電体層5、上側電極6を順番に積層し、MIMキャパシタを構成している。ここで、誘電体層5には、酸化シリコンより誘電率が高く、耐湿性に優れている窒化シリコンを用いている。また、窒化シリコンの耐圧性を補うために、下側電極3の最上層に絶縁性の高い酸化金属層4を形成することで、MIMキャパシタは高い耐圧性を確保している。ここで、酸化金属層4を形成するために、下側電極3は複数の金属層を積み重ねて形成し、下側電極3の最上層の金属層が酸化されて絶縁化することができる遷移金属または合金によって形成されている。

また、MIMキャパシタの耐湿性を向上させるために、窒化シリコンで形成した保護膜 8 が形成され、さらに、MIMキャパシタと外部の素子とを接続するために、下側電極開口部 9 と上側電極開口部 10 が形成されている。

次に、このMIMキャパシタの製造方法について、図 2 の (2 a) ~ (2 f) に従って説明する。

まず、半絶縁性を有する GaAs 基板 1 の上に窒化シリコン層 2 を CVD 法により GaAs 基板 1 に形成する (2 a)。

次に、この上に、逆テーパの断面形状を持つレジストパターンを形成した後、蒸着とリフトオフの工程を用いて、MIMキャパシタの下側電極 3 を、複数の金属層を積み重ねて形成する (2 b)。本実施例の下側電極 3 では、密着性の高いチタンを最下層の金属層として形成し、その上に白金、金、チタンの金属層を順番に蒸着で形成している。ここで、下側電極 3 の最上層のチタン層は、50 nm の厚みで形成しているが、下側電極 3 の最上層のチタン層の厚みは、耐圧性の向上を図るために必要な酸化金属層 4 が形成できれば良く、少なくとも 20 nm 以上の厚みがあれば良い。

次に、MIMキャパシタを 300℃ の酸素雰囲気中で下側電極 3 の最上層のチタン層の表面または全体を酸化して、酸化チタンで形成された酸化金属層 4 を形成する (2 c)。ここで、酸化するときの温度範囲は、200℃ ~ 400℃ の範囲であれば、GaAs 基板や FET のオーミック電極などを劣化させることなく、十分に酸化することができる。

次に、この上に、CVD 法を用いて 400℃ 以下で窒化シリコンを 150 nm 成膜して、誘電体層 5 を形成する (2 d)。これにより、誘電体層 5 が 150 nm の窒化シリコン層のみで構成できるため、MIMキャパシタの誘電体層 5 の厚みが、今までの誘電体層を酸化シリコン層、窒化シリコン層、酸化シリコン層の 3 層構造で構成した誘電体層の厚みに比べて、半分以下の厚みで作製することができる。

次に、下側電極 3 を外部に接続するために、選択エッチングにより、誘電体層 5 の一部とその下の酸化金属層 4 を除去して下側電極 3 の一部を露出させる。次に、下側電極 3 の形成と同じように、上側電極 6 は複数の金属層を積み重ねて形

成する（2 e）。本実施例の上側電極 6 では、チタン、白金、金の金属層を順番に蒸着で形成し、MIM キャパシタを形成している。

次に、MIM キャパシタの耐湿性を高めるために、400℃以下の温度で窒化シリコンを成膜して保護膜 8 を形成した後、下側電極開口部 9 および上側電極開口部 10 の部分を開口したレジストパターンの形成する。さらに、エッチングでレジストパターンの開口している部分の保護膜を除去した後にレジストを除去して、MIM キャパシタと外部の素子との接続を行なうための、下側電極開口部 9 と上側電極開口部 10 を形成する（2 f）。これにより、耐圧性が高く小型で大容量のMIM キャパシタを形成することができる。

〔第 2 実施例、図 3、図 4〕

以下、本発明の第 2 実施例であるMIM キャパシタおよびその製造方法について、図 3 と図 4 に基づいて説明する。

本発明の第 2 実施例のMIM キャパシタは、図 3 に示すように、図 1 に示す第 1 実施例のMIM キャパシタとほぼ同じ構造からなり、第 2 実施例のMIM キャパシタの構造と第 1 実施例のMIM キャパシタの構造と異なる点は、誘電体層 5 の表面を酸化して形成した酸化窒化シリコン層 7 を形成した点のみが異なっている。ここで、酸化窒化シリコン層 7 は、絶縁性が高いのでMIM キャパシタの耐圧性を向上させることができる。

次に、このMIM キャパシタの製造方法について、図 4 の（4 a）～（4 d）に従って説明する。ここで、第 2 実施例のMIM キャパシタの製造工程は、第 1 実施例の誘電体層 5 を形成するまでの製造工程が同じなので、それ以後の製造工程のみを図 4 の（4 a）～（4 d）に示している。

まず、第 1 実施例の製造工程と同じように、半絶縁性を有するGaAs 基板の上に、窒化シリコン層 2 と、下側電極 3 と、下側電極の最上層を酸化した酸化金属層 4 と、窒化シリコンで形成された誘電体層 5 とを積層構造で形成している（4 a）。

次に、窒化シリコンで形成された誘電体層 5 の表面を 300℃の酸素雰囲気中で酸化して、酸化窒化シリコン層 7 を形成する（4 b）。ここで、酸化窒化シリコン層 7 は絶縁性が高いので、第 2 実施例のMIM キャパシタは、誘電体層 5 を

絶縁性の高い酸化金属層 4 と酸化窒化シリコン層と挟む構造になるため、第 1 実施例の MIM キャパシタに比較して、さらに MIM キャパシタの耐圧性を向上させることができる。ここで、酸化するときの温度範囲は、200℃～400℃の範囲であれば、GaAs 基板や FET のオーミック電極などを劣化させることなく、十分に酸化することができる。

次に、下側電極 3 を外部に接続するために、選択エッチングにより、酸化窒化シリコン層の一部とその下の誘電体層 5 と酸化金属層 4 を除去して下側電極 3 の一部を露出させる。次に、第 1 実施例の上側電極 6 と同じように、上側電極 6 をチタン、白金、金の金属層を順番に蒸着で形成し、複数の金属を積み重ねて形成する (4c)。

次に、MIM キャパシタの耐湿性を高めるために、400℃以下の温度で窒化シリコンを成膜して保護膜 8 を形成した後、下側電極開口部 9 および上側電極開口部 10 の部分を開口したレジストパターンを形成する。さらに、エッチングでレジストパターンの開口している部分の保護膜を除去した後にレジストを除去して、MIM キャパシタと外部の素子との接続を行なうための、下側電極開口部 9 と上側電極開口部 10 を形成する (2d)。これにより、第 1 実施例よりのさらに耐圧性が高く小型で大容量の MIM キャパシタを形成することができる。

なお、実施例においては、下側電極 3 と上側電極 6 とを、逆テーパの断面形状を持つレジストパターンを形成した後、蒸着とリフトオフの工程を用いて、形成する製造方法しか示さなかったが、スパッタ法により電極を形成してから、下側電極 3 または上側電極 6 用のレジストパターンを形成し、イオンミリングとレジスト除去の工程を行なって下側電極 3 または上側電極 6 を形成しても良い。

また、実施例においては、酸化金属層 4 および酸化窒化シリコン層 7 を酸素雰囲気中で形成したが、酸素プラズマまたはオゾンを含む雰囲気中で加熱を行なって形成しても良い。

【発明の効果】

以上のように本発明の MIM キャパシタは、下側電極の最上層の金属層を酸化して絶縁化した酸化金属層を構成するため、MIM キャパシタの誘電体部分が窒化シリコン層と酸化金属層で構成されるので MIM キャパシタの耐圧性の向上が

でき、さらに、酸化金属層を薄く形成することができるので誘電体層が薄くできるため、小型で大容量のMIMキャパシタを形成することができる。

また、MIMキャパシタの耐圧性をさらに向上させるためには、MIMキャパシタの誘電体層の表面に酸化によって絶縁性の高い酸化窒化シリコン層を形成することで、さらにMIMキャパシタの耐圧性を向上することができる。

また、MMICの中に本発明のMIMキャパシタを形成する場合に、本発明のMIMキャパシタを製造する工程が、一般的なMMICを形成する汎用的な工程を用いるため、特殊な工程の増加による手間が発生せず、さらに、MIMキャパシタの誘電体層の材料が、誘電率が高く汎用的に用いる窒化シリコンを用いるため、MIMキャパシタを安価に作製することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例に係るMIMキャパシタの断面図。

【図2】 本発明の第1実施例に係るMIMキャパシタの製造工程図。

【図3】 本発明の第2実施例に係るMIMキャパシタの断面図。

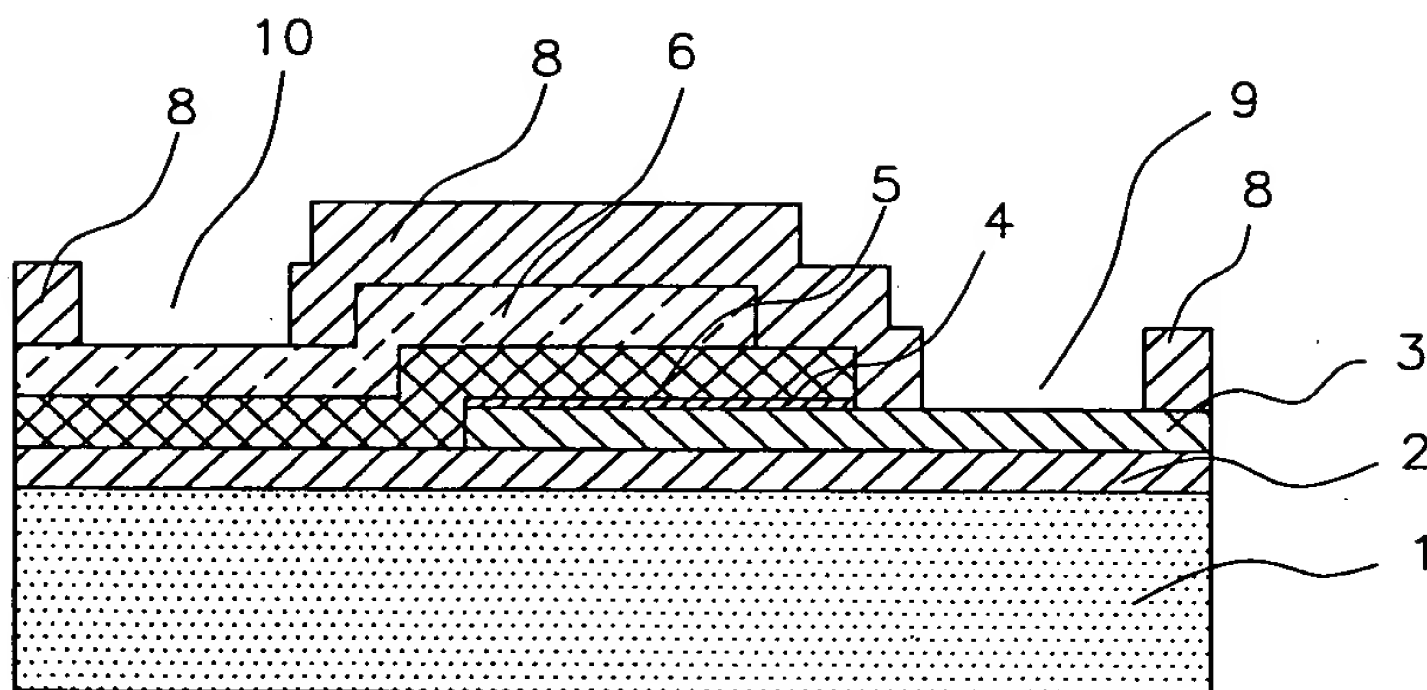
【図4】 本発明の第2実施例に係るMIMキャパシタの製造工程図。

【符号の説明】

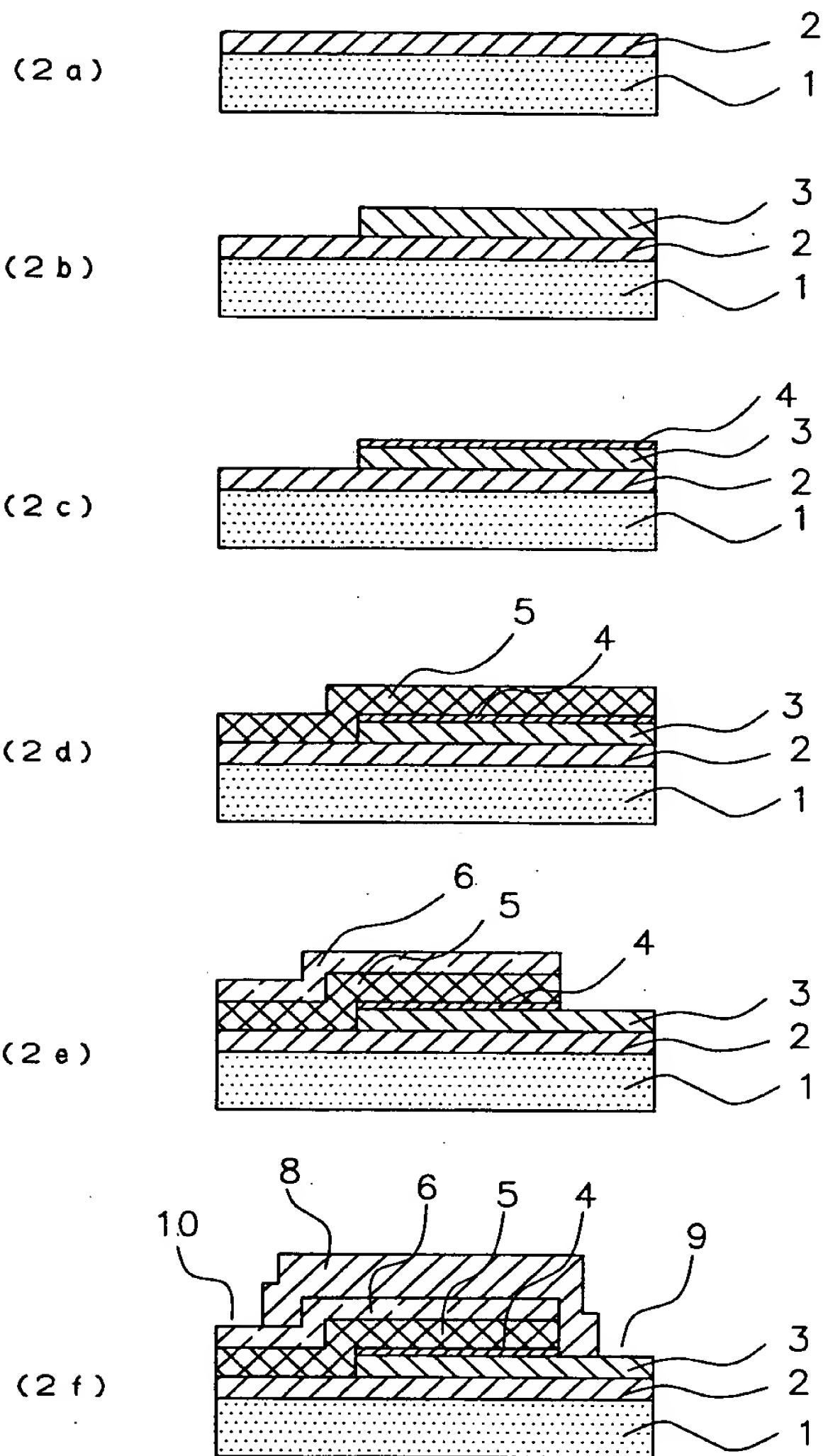
| | | |
|----|-------|------------|
| 1 | ----- | G a A s 基板 |
| 2 | ----- | 窒化シリコン層 |
| 3 | ----- | 下側電極 |
| 4 | ----- | 酸化金属層 |
| 5 | ----- | 誘電体層 |
| 6 | ----- | 上側電極 |
| 7 | ----- | 酸化窒化シリコン層 |
| 8 | ----- | 保護膜 |
| 9 | ----- | 下側電極開口部 |
| 10 | ----- | 上側電極開口部 |

【書類名】 図面

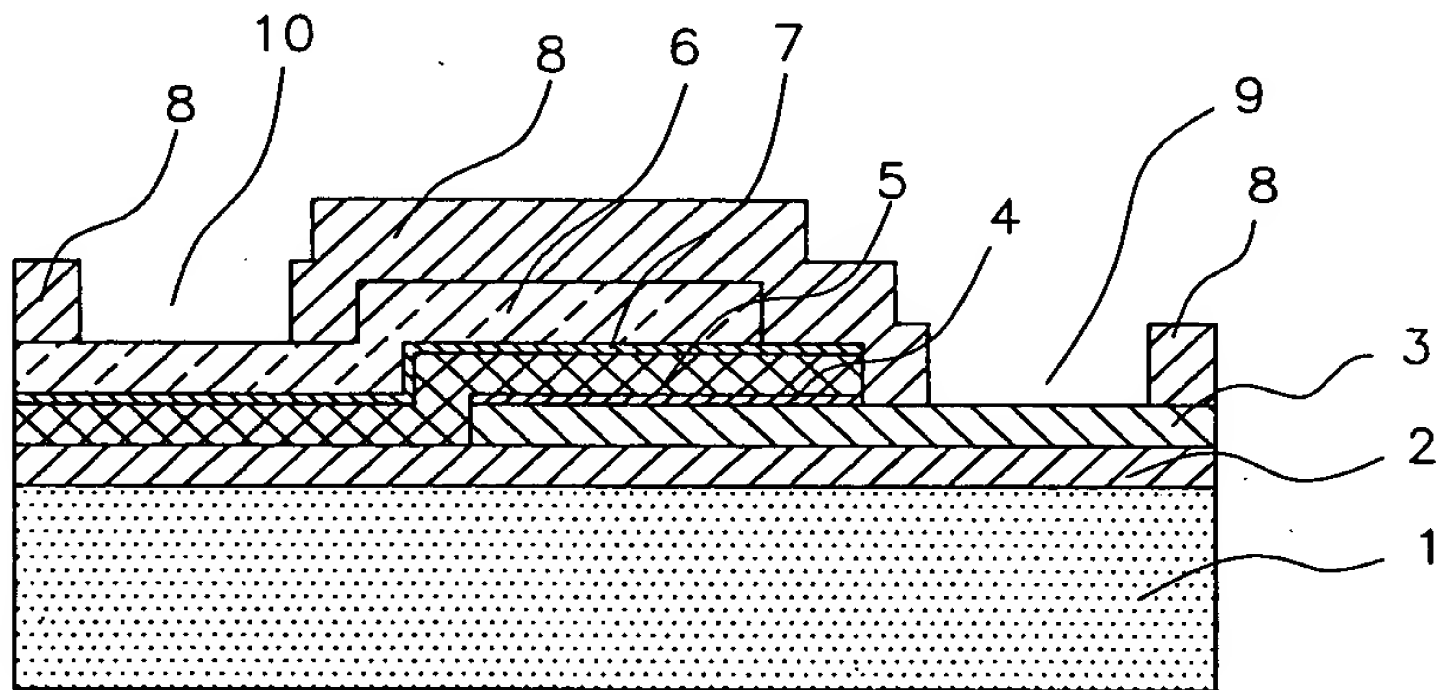
【図 1】



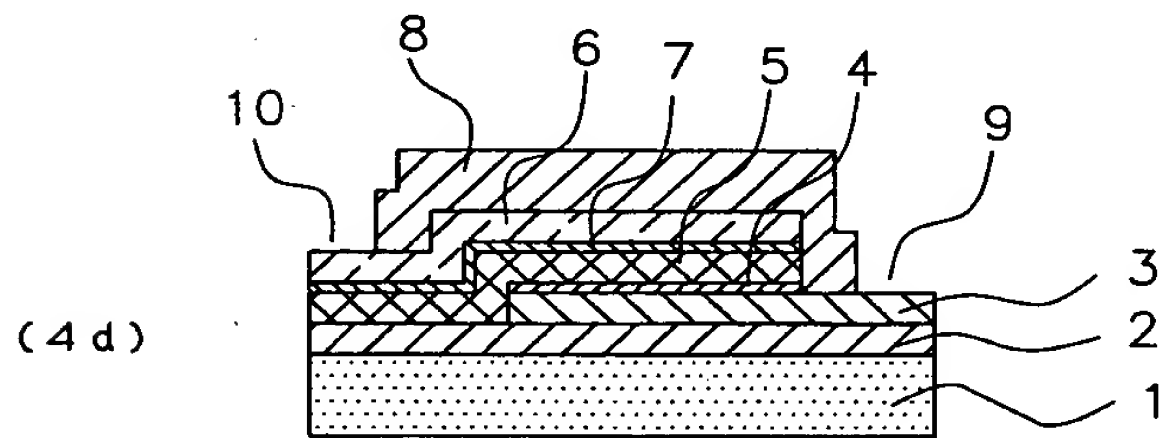
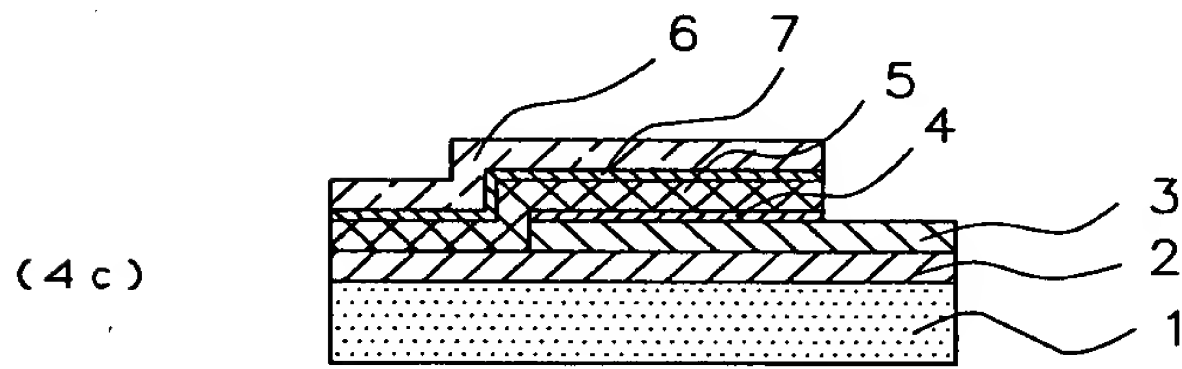
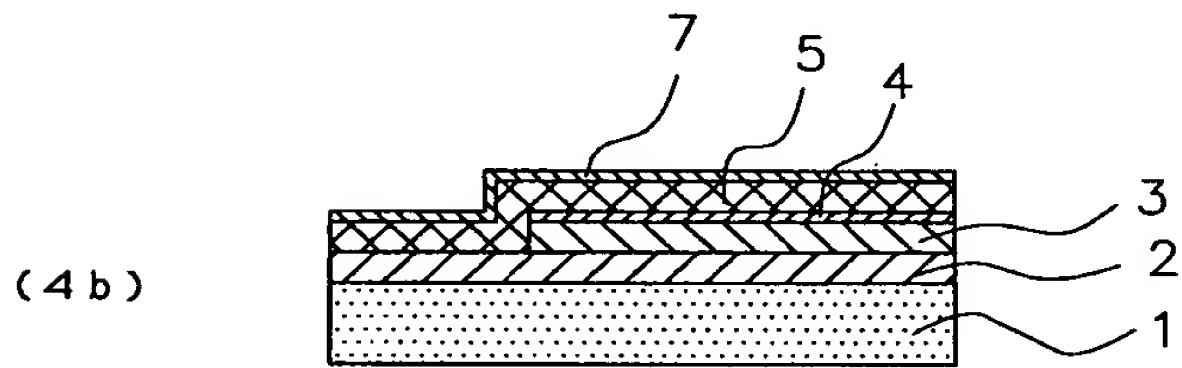
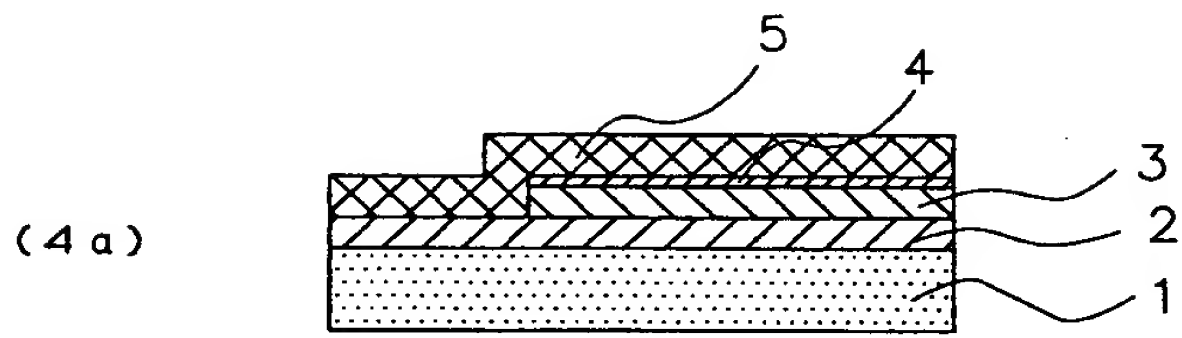
【図 2】



【図3】



【図 4】



【書類名】 要約書

【要約】

【課題】 G a A s 基板などの化合物半導体基板上に小型で容量の大きいM I M キャパシタを提供することを目的としている。

【解決手段】 下側電極と上側電極との間に誘電体層を挟んだ構造のM I M キャパシタにおいて、前記下側電極は複数の金属層を積み重ねて形成し、前記下側電極の最上層の金属層の表面または全体が酸化されて絶縁化した酸化金属層となっていることを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006231]

| | |
|----------|--------------------|
| 1. 変更年月日 | 1990年 8月28日 |
| [変更理由] | 新規登録 |
| 住 所 | 京都府長岡京市天神二丁目26番10号 |
| 氏 名 | 株式会社村田製作所 |